تکلیف شماره – 1 : درس مدارات قابل برنامه ریزی و FPGA – ترم دوم 88-89

نام دانشجو –

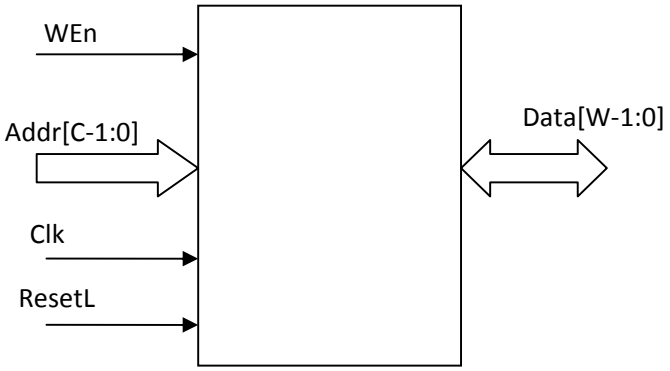
صورت مساله :

یک حافظه SRAM مطابق با شکل زیر طراحی کنید. پارامترهای این مدول به شرح زیر می باشد:

عرض حافظه W

تعداد خانه های حافظه D

عرض درگاه Address برابر با LOG2(D) می باشد که فعلا آن را هم در کد با پارامتر C نشان دهید.



در بلوک حافظه فوق :

درگاه Data از نوع ورودی / خروجی تعریف می شود

سیگنال WEn : با لبه های بالا رونده ساعت که WEn برابر با 0 است مقدار Data به خانه ای که توسط Addr مشخص شده ریخته شود

درگاه Addr نشان می دهد که داده به کدام خانه SRAM باید نوشته و از کدام خانه باید خوانده شود

سیگنال Clk پالس ساعت

سیگنال ResetL : سیگنال ResetL ، Active Low و آسنکرون

می خواهیم خانه های SRAM به هنگام ResetL به این ترتیب مقدار دهی شوند: مقدار شماره 0 ، 0 – مقدار خانه شماره 1 : 1 و مقدار اولیه هرخانه برابر با آدرس آن خانه باشد. هنگامیکه WEn برابر با 1 است باید عمل read انجام شود. Read با لبه پالس ساعت همزمان نیست.

برنامه verilog فوق را نوشته ، در Active HDL شبیه سازی کنید (در حالت های مختلف) شکل موج های حاصل را save کنید و کل کار را با email به من برگردانید.

هر سوال و یا مشکلی داشتید می توانید با email از من بپرسید. با تشکر – صدری