تکلیف شماره – 1 : درس مدارات قابل برنامه ریزی و FPGA – ترم دوم 88-89

نام دانشجو –

صورت مساله :

در یک سیستم، خروجی های یک A/D به FPGA ما وارد می شوند.

A/D بعد از هر N لبه بالا رونده پالس ساعت (که N یکی از پارامترهای مدول ماست) ، یک داده جدید برای FPGA می فرستد و خروجی آن تا ارسال داده بعدی برابر با این مقدار باقی می ماند.

عرض نمونه هایی که از A/D به FPGA می رسند برابرس با W بیت است (عدد بدون علامت) و این W هم یکی از پارامترهای مدول ماست

مداری طراحی کنید که : به ازای هر نمونه جدیدی که از A/D به FPGA می رسد ، 8 نمونه اخیر را میانگین گرفته ، حاصل را روی درگاه خروجی قرار دهد.

خروجی تا زمان دریافت داده بعدی از A/D همین مقدار باقی بماند.

طبعا عرض خروجی برابر با عرض ورودی و W بیت و عرض ثبات داخل مدار ما که حاصل جمع را نگه می دارد W+3 بیت است. (حالا شما عرض ثبات های داخلی را هر چقدر دوست داشتی بزرگ بگیر که خیالت راحت باشه)

شکل زیر ورودی/خروجی های این واحد را نشان می دهد:

سیگنال ResetL ، Active Low و Asynchronous می باشد.

بخش اختیاری (با نمره اضافی) : تکلیف را در حالتی حل کنید که به جای میانگین گیری بین 8 نمونه آخر بایستی بین K نمونه آخر میانگین گیری را انجام دهیم.

برنامه verilog فوق را نوشته ، در Active HDL شبیه سازی کنید (در حالت های مختلف) شکل موج های حاصل را save کنید و کل کار را با email به من برگردانید.

هر سوال و یا مشکلی داشتید می توانید با email از من بپرسید. با تشکر – صدری