تکلیف شماره – ۱ : درس مدارات قابل برنامه ریزی و FPGA – ترم دوم ۸۸-۸۹

نام دانشجو –

صورت مساله :

یک دستگاه پول شمار ، به ازای هر یک عدد ۱۰۰۰ تومانی ، یک پالس مربعی تولید و به FPGA ما می فرستد. برای بقیه پول ها هم به طور مشابه ، به ازای هر یک عدد اسکناسی که دستگاه می شمرد ، یک پالس که مخصوص آن اسکناس است تولید می کند.

به این ترتیب مدول ما به ازای هرکدام از اسکناس های ۱۰۰۰ تومانی ، ۲۰۰۰ تومانی و ۵۰۰۰ تومانی دارای یک ورودی مجزا است. همچنین مدول ما دارای یک ورودی است که کل مبلغی که قرار است شمرده شود از طریق آن ورودی به مدول ما وارد می شود.

قرار است مدول ما چک کند که کل اسنکاس هایی که شمرده می شود ، حاصلجمعش ، از مبلغی که قرار است پرداخت گردد ، بیشتر نشود.

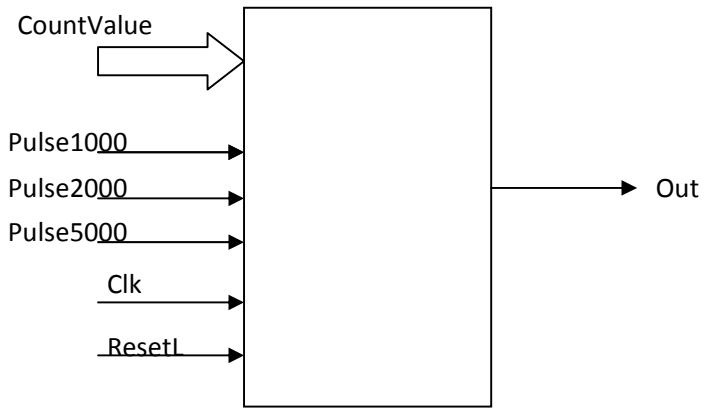
مدول ما یک خروجی ۱ بیتی دارد که وقتی حاصلجمع کل اسکناس های شمرده شده ، از عدد ورودی به مدول بیشتر بود، این خروجی ۱ می شود. در غیر این صورت صفر است.

مدول دارای یک پالس ساعت با فرکانس ۴۰ مگاهرتز است. فرض کنید سرعت شمارش اسکناس ها در دستگاه می نیمم ۱۰ اسکناس بر ثانیه و ماکزیمم ۵۰ اسکناس بر ثانیه می باشد.

مدول دارای یک ورودی ResetL ، Active Low و آسنکرون می باشد. وقتی ResetL می آید خروجی و تمام ثبات های داخل مدول ما صفر می شوند.

شکل زیر نمایی از وزودی/خروجی های این مدول را نشان می دهد.

ماکزیمم عددی که قرار است این دستگاه بتواند بشمارد (CountValue) برابر با ۱ میلیون تومان و بنابراین ورودی عدد ۲۱ بیت می باشد.



برنامه verilog فوق را نوشته ، در Active HDL شبیه سازی کنید (در حالت های مختلف) شکل موج های حاصل را save کنید و کل کار را با email به من برگردانید.

هر سوال و یا مشکلی داشتید می توانید با email از من بپرسید. با تشکر – صدری