تکلیف شماره – ۱ : درس مدارات قابل برنامه ریزی و FPGA – ترم دوم ۸۸-۸۹

نام دانشجو –

صورت مساله :

می خواهیم داده های دریافت شده از یک A/D را با استفاده از FPGA فیلتر کنیم. برای این کار نیاز داریم یک فیلتر FIR روی FPGA پیاده کنیم.

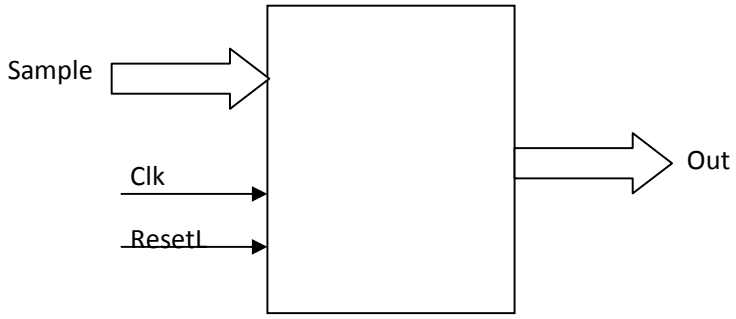
تعداد ضرایب فیلتر برابر با 6 می باشد.

هر 8 سیکل ساعت یک بار ، یک داده جدید از A/D به FPGA وارد می شود. به ازای این داده جدید می بایست عمل فیلتر کردن یک بار انجام شود و یک داده جدید تولید گردد.

ضرایب فیلتر به این ترتیب می باشند : ۱۲۸ ، ۱ ، ۳۲ ، ۳۲ ، ۱ ، ۱۲۸

نمونه های دریافت شده از A/D اعداد 10 بیتی می باشند.

شکل زیر ورودی/خروجی های این واحد را نشان می دهد.



همانطور که توضیح داده شد ، هر 8 سیکل یک بار یک داده جدید به سیستم وارد می شود. به ازای این داده جدید عمل Filter کردن که شامل 6 ضرب و 6 جمع می باشد باید انجام شود و خروجی روی Out قرار داده شود. فرض کنید Out یک خروجی ۲۰ بیتی می باشد.

تمامی عددها ، عددهای بدون علامت و مثبت هستند.

برای ذخیره سازی ضرایب در مدولتان یک ROM بسازید و از آن استفاده کنید. (شبیه به SRAM که سر کلاس درس داده شد ، فقط ورودی ندارد و تمامی خانه های حافظه به هنگام Reset مقدار می گیرند.)

اختیاری : فرض کنید که تعداد ضرایب فیلتر به جای ۸ ، یک پارامتر باشد به نام N . کل مساله را با این فرض از نو حل کنید.

برنامه verilog فوق را نوشته ، در Active HDL شبیه سازی کنید (در حالت های مختلف) شکل موج های حاصل را save کنید و کل کار را با email به من برگردانید.

هر سوال و یا مشکلی داشتید می توانید با email از من بپرسید. با تشکر – صدری