تمرین درس FPGA – سری دوم – ۸۹/۱/۲۲ – محمدصادق صدری- (استفاده از این تمرین ها همراه با ذکر منبع مجاز است.)

این تمرین اختیاری می باشد. اگر سوال و یا مشکلی داشتید بپرسید : mamsadegh@googoolia.com

۱- از یک FPGA برای کنترل یک دستگاه پخت غذا استفاده می کنیم. مواد خامی که به دستگاه وارد می شوند به ترتیب می بایست ۴ مرحله را طی کنند تا تبدیل به غذای حاضر و آماده شود.

اینکه در هر لحظه کدامیک از ۴ عمل روی مواد غذایی اعمال شود توسط FPGA تعیین می گردد. به این ترتیب که FPGA یک خروجی ۴ بیتی دارد که هرکدام از بیت های این خروجی یکی از ۴ مرحله را فعال می کنند. هیچ گاه هیچ دو بیت خروجی ای باهم یک نمی شوند. بیت 0 مشخص کننده اولین مرحله پخت و بیت های بعدی مشخص کننده مراحل بعدی هستند. لازم است مادامیکه دستگاه در حال طی یکی از مراحل است ، بیت مربوط به آن مرحله ۱ بماند.

در خروجی هر مرحله یک سنسور نصب کرده ایم. به این ترتیب به ازای ۴ مرحله ۴ سنسور داریم. هر سنسور دارای یک خروجی ۲ بیتی است که به FPGA ما می رود. بیت کم ارزش این خروجی وقتی ۱ شود نشان می دهد که کار این مرحله خلاص شده. این بیت با پالس Clk همزمان است. بیت پر ارزش این خروجی مشخص می کند که آیا ماده غذایی طی این مرحله به نتیجه مطلوب رسیده یا نه! اگر این بیت ۱ باشد یعنی ماده غذایی به حد مطلوب مورد نظر در این مرحله رسیده و می توان به مرحله بعد رفت. اگر این بیت صفر باشد یعنی ماده غذایی هنوز به اندازه مورد نیاز این مرحله آماده نشده و می بایست این مرحله از نو تکرار شود.

خروجی این سنسورها به FPGA وارد می شود.

برنامه Verilog مربوط به کنترل کننده FPGA را بنویسید.

۲- یک CPU داریم که کلا دارای 4 دستور است. این CPU دارای ساختار CISC می باشد و طول دستورات باهم برابر نیستند. دستورات دارای چنین کدهایی هستند:

- a- 0x3e یک دستور ۱ بایتی
- b- 0x4b 0x20 یک دستور ۲ بایتی
- c- 0x30 0xab 0x00 یک دستور ۳ بایتی
- d- 0xff یک دستور ۱ بایتی

این CPU قرار است روی یک FPGA پیاده شود. می خواهیم بخش ورودی Instruction Decoder این CPU را طراحی کنیم. کدی بنویسید که با بررسی رشته داده های ورودی مشخص کند کدام دستور باید انجام شود.

خروجی مدول یک عدد ۳ بیتی باشد. شماره های 0 تا 3 وقتی روی خروجی قرار داده شوند که ورودی یکی از دستورات فوق باشد. در غیر این صورت اگر هیچ کدام از دستورها در رشته ورودی پیدا نشد خروجی ۸ باشد. اگر خروجی فقط به مدت ۱ پالس ساعت فعال باشد کافیست.

در داخل مدول خود یک shift register طراحی کنید ، shift register شما برنامه ای که باید اجرا شود را پشت سر هم از طریق یک پورت ۸ بیتی دریافت می کند. با هر لبه بالارونده ساعت یک داده جدید وارد می شود. داده ها را به shift register ببرید و بررسی کنید که آیا هیچ کدام از کدهای بالا در آن هست یا نه. و سپس خروجی مناسب را تولید کنید.

۳- در یک تریلی برای اندازه گیری فشار چرخ های عقب از یک سنسور فشار به همراه یک فرستنده بی سیم روی رینگ داخلی چرخ استفاده می شود.

فرستنده بی سیم به طور پی در پی مقدار فشار چرخ را به گیرنده ای که در اتاق راننده قرار دارد مخابره می کند. سیگنال مخابره شده مقدار فشار به صورت یک عدد ۱۰ بیتی است که بیت به بیت و به صورت سریال به گیرنده ارسال می شود. (بیت پر ارزش اول ارسال می شود) این سیگنال در گیرنده مستقیما به صورت یک درگاه ۱ بیتی به FPGA وارد می شود.

فرستنده پالس های زیر را برای انتقال داده تولید می کند: برای ارسال ۱ منطقی یک پالس با فرکانس ۱۰۰ کیلوهرتز و برای 0 منطقی پالسی با فرکانس ۲۰۰ کیلوهرتز تولید می شود. برای مشخص کردن شروع یک مقدار (یک sample) جدید ، فرستنده پالسی با فرکانس ۳۰۰ کیلوهرتز می فرستد.

فرستنده بین هرکدام از این پالس ها فاصله می اندازد. به این ترتیب که برای بازه زمانی کوتاهی چیزی نمی فرستد و ورودی عملا صفر است و پالسی در ورودی نداریم.

یک مدول طراحی کنید که روی یک ورودی ۱ بیتی این سیگنال را دریافت کند و در خروجی نمونه ۱۰ بیتی دریافت شده را قرار دهد.

مدول شما دارای ورودی Clk با فرکانس ۲۰ مگاهرتز و Reset می باشد.

۴- می خواهیم از یک FPGA در یک سیستم پردازش تصویر استفاده کنیم. نقاط تصویر به صورت اعداد ۸ بیتی به FPGA وارد می شوند. هر عدد ۸ بیتی مشخص کننده میزان روشنایی یک نقطه است. تصویری که می خواهیم پردازش کنیم رنگی نیست و بنابراین با یک عدد ۸ بیتی می توان وضعیت یک نقطه از تصویر را مشخص کرد.

این نمونه های ۸ بیتی به ترتیب به FPGA وارد می شوند. همراه این نمونه ها یک سیگنال راهنما نیز به FPGA وارد می شود. این سیگنال راهنما مشخص می کند که کی عدد ۸ بیتی ای که روی ورودی FPGA قرار دارد Valid است. با لبه بالارونده ای که مقدار این سیگنال راهنما ۱ است ، عددی که روی ورودی ۸ بیتی قرار دارد هم Valid است و باید آن را بخوانیم. در صورتیکه مقدار سیگنال راهنما ۱ نیست ، عدد Valid نیست و باید صبر کنیم.

وقتی نمونه ها را پردازش کردیم و خواستیم آنها را به بیرون fpga ارسال کنیم هم از سیگنال راهنما استفاده می کنیم. با آن لبه بالارونده ای که داریم یک نمونه Valid و جدید را در خروجی قرار می دهیم سیگنال راهنمای خروجی را ۱ می کنیم. در غیر این صورت آن را صفر می کنیم.

می خواهیم این الگوریتم روی داد های وارد شده به FPGA انجام شود : برای هر نمونه تصویر ، اگر نمونه های قبل و بعد از آن مقداری بزرگ تر از ۱۰۰ دارند ، مقدار آن نمونه را برابر با ۲۰۰ قرار می دهیم. در غیر این صورت مقدار نمونه را صفر می کنیم. برای اولین نمونه ای که به سیستم وارد می شود ، فرض کنید نمونه قبلی صفر بوده.

مدول Verilog ای که این سیستم را پیاده کند ، طراحی کنید.

۵- در یک بزرگ راه از این دوربین خطی برای اندازه گیری تعداد ماشین هایی که از زیر یک پل عبور می کنند ، استفاده می کنیم. دوربین را روی پل رو به پایین بسته ایم. به این ترتیب دوربین دارد از بالا از ماشین هایی که از زیر آن عبور می کند فیلم برداری می کند. دوربین خطی است ، یعنی فریم هایی که تولید می کند مربعی نیستند ، بلکه یک خط صاف است.

هر فریم تصویر در این دوربین شامل ۲۵۶ نقطه است. هر نقطه یک عدد ۱ بیتی است. تصویر عملا یک خط است. مثل اینکه با یک دوربین فیلمبرداری معمولی تصویر گرفته باشیم و فقط یک سطر آن را جدا کرده باشیم. آن نقاطی در تصویر که مقدار صفر دارند نقاطی هستند که در آن لحظه یک ماشین در آن ناحیه در حال حرکت بوده. نقاطی که مقدار ۱ دارند نقاطی هستند که در آن لحظه ماشینی در حال حرکت نبوده و خالی بوده. (کف خیابان پیدا بوده)

یک سیگنال به نام start به FPGA وارد می شود که شروع یک فریم ۲۵۶ نقطه ای را مشخص می کند. ۲۵۶ عدد به ترتیب پشت سرهم به FPGA وارد می شوند. اولین عدد ، همزمان با start وارد می شود. برای تشخیص تعداد ماشین ها در هر لحظه باید تعداد نواحی پیوسته ای که مقدار نقطه در آنها صفر است را بشماریم. تعداد ناحیه ها می شود تعداد ماشین ها. برنامه ای بنویسید که تصویر را دریافت و این عدد را محاسبه و گزارش کند. با هر فریم این عدد یک بار update شود.