بسمه تعالی – سری سوم تمرین های اختیاری درس FPGA – ۸۹/۳/۲ – استفاده از مطالب و تمرین های بیان شده در این درس ، با ذکر منبع مجاز است – محمد صادق صدری

۱- یک فرستنده داده های ۱۶ بیتی را به همراه یک سیگنال Valid ، برای ما ارسال می کند. می دانیم فرکانس کاری فرستنده ۲۵ مگاهرتز است. Clock روی بورد ما ۱۸ مگاهرتز می باشد. مدار لازم برای Capture کردن داده ها طراحی کنید. (شامل هم واحد Capture کننده داده ها و هم واحد تولید کننده Clock مناسب)

۲- در یک طرح Source Synchronous فرستنده ۸ بیت داده را به همراه یک پالس ساعت برای ما ارسال می کند. برای دریافت داده ها از فرستنده از Clock ای که فرستنده داده ها را با استفاده از آن ارسال کرده ، استفاده می کنیم. به این ترتیب که Clock فرستنده را به register هایی که داده ورودی را Capture می کنند متصل می نماییم. خروجی این register ها به یک دسته register دیگر وصل می شوند که با clock داخلی خود fpga کار می کنند. اگر setup time تمامی فلیپ فلاپ های این طرح ts و hold time همه flip flop ها تقریبا صفر باشد. و تاخیر تمامی net های داخلی همگی برابر با td باشد. و پریود کاری کل سیستم T باشد آنوقت می نیمم مقدار T با توجه به مدار ذکر شده چقدر می تواند باشد؟

حال اگر پالس ساعت هردوی FPGA و چیپی که data می فرستد از یک منبع باشد ، و تاخیر پالس ساعت داخل FPGA برابر با صفر و داخل چیپ فرستنده برابر با ClkD باشد، آنوقت پالس ساعت داخل FPGA را چند درجه شیفت دهیم تا داده ها درست دریافت گردند؟ (تمامی تاخیر های مورد نیاز برای این محاسبه را خودتان به صورت پارامتری در نظر بگیرید)

۳- یک stack طراحی کنید که عرض ورودی داده به آن ۸ بیت و عرض خواندن داده از آن ۱۶ بیت باشد. می خواهیم stack دارای ۱۰۲۴ خانه ۸ بیتی و یا به عبارت دیگر ۵۱۲ خانه ۱۶ بیتی باشد.

۴- می خواهیم در یک طرح ، از هسته PicoBlaze برای خواندن ۳ سیگنال ورودی و تصمیم گیری در مورد آنها ، استفاده کنیم. سیگنال های ورودی هرکدام یک مقدار ۸ بیتی هستند. PicoBlaze هر بار مقدار این ۳ سیگنال را می خواند و در صورتیکه مقدار آنها صعودی بود (یعنی مقدار سیگنال A < B و B < C) روی خروجی ۲۵۵ و در غیر این صورت روی خروجی صفر تولید می کند. برنامه Verilog لازم را برای این مدول بنویسید. برنامه Assembly مورد نیاز را برای PicoBlaze بنویسید.

۵- در یک مدول نیاز داریم sin و cos عدد ۱۰ بیتی ورودی را محاسبه کنیم. (عدد ورودی بر حسب درجه است) یک طرح برای انجام این کار ارائه دهید. در طرح خود از یک core حافظه که مقدار دهی اولیه شده است ، استفاده کنید. (در واقع محاسبه sin و cos را داخل FPGA همیشه با استفاده از Look up table انجام می دهیم.)

۶- یک حافظه dual port داریم که با استفاده از هردو پورت آن می توان هم به حافظه نوشت و هم از آن خواند. یکی از پورت های حافظه در اختیار کاربر است و هر مقداری که بخواهد به هر جای آن می نویسد. پورت دوم دست ماست و می خواهیم یک مدول طراحی کنیم که با استفاده از این پورت بتوانیم داده های dual port memory را بخوانیم. هدف آن است که به ازای هر داده ای که به مدول ما ارسال می شود ، تمامی خانه های حافظه را search کنیم و اگر آن داده در خانه ای از حافظه وجود داشت آدرس آن خانه را بر گردانیم و در غیر این صورت سیگنال NotFound را فعال کنیم. مدول مربوط را طراحی کنید. سیگنال های مورد نیاز برای hand shaking و زمان بندی را خودتان در نظر بگیرید.

۷- یک مدول داخل FPGA بسته های داده تولید می کند. هر بسته داده شامل K عدد داده ۳۲ بیتی می شود. (K<32) در هر بسته داده آخر حاصل عملیات CheckSum روی تمامی داده های بسته است. این مدول همراه با داده ها یک سیگنال valid هم تولید می کند که تشان می دهد با این لبه بالارونده ساعت ، داده ای که روی خروجی گذاشته شده valid است. علاوه بر این مدول یک سیگنال دیگر به نام NewFrame هم تولید می کند که فقط به ازای اولین داده هر بسته ۱ می شود. این مدول مستقیما به مدول ما متصل می شود و هردو روی یک FPGA قرار دارند و با یک clock واحد کار می کنند.

کاری که مدول ما قرار است انجام دهد این است: یک بسته را (شامل K داده ۳۲ بیتی) به طور کامل از مدول قبل دریافت کند. اگر CheckSum درست بود ، داده ها را به خروجی بفرستد. اگر نه ، این بسته را به طور کامل Drop کند. (یعنی به خروجی نفرستد)

۸- یک حافظه Synchronous SRAM به FPGA متصل است. یک Clock یکسان به هردوی SRAM و FPGA می رود. فرض کنید هیچ تاخیری در Clock وجود ندارد و تمام تاخیرها صفر است. یک واحد کنترلر برای خواندن از این حافظه خارجی و نوشتن

بسمه تعالی – سری سوم تمرین های اختیاری درس FPGA – ۸۹/۳/۲ – استفاده از مطالب و تمرین های بیان شده در این درس ، با ذکر منبع مجاز است – محمد صادق صدری

به آن طراحی کنید. سیگنال های کنترلی حافظه SRAM: WE با لبه بالا رونده ای که این سیگنال برقرار است ، SRAM داده ای را که روی باس DATA است بر می دارد و به خانه ADDRESS می نویسد. پس هنگامیکه WE برقرار است جهت داده از FPGA به SRAM و در غیر این صورت برعکس است. یعنی SRAM همواره در حالت Read است مگر آنکه بخواهیم به آن بنویسیم.

۹- با استفاده از کنترلر ای که در تمرین ۸ نوشتید ، یک FIFO طراحی کنید که از حافظه SRAM خارج از FPGA برای ذخیره سازی و بازیابی داده ها استفاده کند. بدیهی است که سرعت این FIFO بسیار کمتر از سرعت FIFO های داخل FPGA خواهد بود. علاوه بر این ، امکان انجام همزمان Read و Write هم وجود ندارد.

۱۰- ۳ عدد FIFO داریم که داده ها از بیرون به این ۳ عدد FIFO وارد می شوند. می خواهیم داده های این FIFO ها را خوانده ، روی یک خروجی واحد ارسال کنیم. داده هایی که در FIFO ها قرار دارند ، به صورت بسته ای هستند. هنگامیکه می خواهیم از یکی از FIFO ها داده ها را خوانده به خروجی ارسال کنیم ، باید این کار را برای یک بسته کامل انجام دهیم. یعنی هر زمان یک بسته کامل را از FIFO می خوانیم. هر بسته از چندین داده ۳۲ بیتی تشکیل شده است. عرض FIFO ها ۳۲ بیت است. اولین داده ۳۲ بیتی در هر بسته ، طول بسته را نشان می دهد. یعنی مشخص می کند که این بسته از چند داده ۳۲ بیتی تشکیل شده است.

FIFO ها دارای عمق ۱۰۲۴ خانه می باشند. تعداد خانه هایی که در هر FIFO در هر لحظه اشغال شده ، به عنوان یک ورودی ۱۱ بیتی به مدول ما وارد می شود. مدولی طراحی کنید که داده های این ۳ FIFO را بخواند و به خروجی بفرستد. تصمیم گیری در مورد این موضوع که در هر لحظه داده های کدام FIFO باید به خروجی ارسال شود را از روی تعداد خانه های پر FIFO انجام دهید.

۱۱- مدولی داریم که وظیفه آن ذخیره سازی داده های وارد شونده به مدول و سپس بازیابی داده ها می باشد. داده های وارد شونده دارای عرض ۳۲ بیت می باشند. ۱۶ بیت پایین هر داده ID ی آن داده می باشد. در هر سیکل داده جدیدی به واحد وارد می شود. داده های وارد شونده به مدول ما با هم مرتبط هستند. آن داده هایی که ID یکسان دارند باید همگی باهم از واحد ما خارج شوند. ولی ورود آنها به واحد ما در زمان های مختلف رخ می دهد. مدول دارای یک ورودی ۱۶ بیتی می باشد که این ورودی مشخص می کند در هر لحظه چه داده هایی باید به بیرون ارسال شوند. مدول دارای یک خروجی تک بیتی به نام Done می باشد. Done هنگامی فعال می شود که شما تمامی داده های مربوط به یک ID خاص را به بیرون ارسال کرده اید. در این حالت یک ID جدید به مدول شما داده خواهد شد.

فوض کنید که هر نوع حافظه ای که مورد نیاز است در دست دارید. همچنین فرض کنید که کلا قرار است ۱۰۲۴ داده را مدیریت کنیم. تعداد بسته ها با ID مشابه برای هر ID را نمی دانیم.

۱۲- از یک ورودی داده های ۳۲ بیتی با فرکانس ۲۰ مگاهرتز به FPGA وارد می شوند. می خواهیم این داده ها را روی یک خروجی به عرض ۸ بیت ، با فرکانس ۸۰ مگاهرتز ارسال کنیم. مدار مورد نیاز را طراحی کنید. داده های ۳۲ بیتی همواره می آیند. فرض کنید پالس ساعت تولید شده روی بورد ۲۰ مگاهرتز است و تاخیر clock هم در کل بورد صفر است.

۱۳- یک A/D به FPGA متصل است و دارد از یک سیگنال آنالوگ با ۱۰ میلیون نمونه بر ثانیه ، نمونه برداری می کند. می خواهیم مقدار متوسط نمونه ها را روی درگاه سریال به کامپیوتر ارسال کنیم. Baud Rate برابر با ۱۱۵۲۰۰ بیت بر ثانیه می باشد.از core آماده UART TX و از PicoBlaze (در صورت نیاز) حق داریم استفاده کنیم. سیستم مورد نظر را طراحی کنید. فرکانس Clock روی بورد همان ۱۰ مگاهرتز است.

۱۴- یک حافظه Synch SRAM به FPGA متصل است. با استفاده از این حافظه یک کنترلر VGA بسازید. کنترلر شما محتوای این حافظه را به صورت مرتب sweep کرده روی خروجی قرار می دهد. فرض کنید که خروجی به یک DAC ویدئویی متصل است. از طرف دیگر کنترلر شما باید قادر باشد Request های کاربر را هم سرویس دهی کند. کد Verilog کنترلر را بنویسید.